

**SEMICONDUCTOR INTEGRATED CIRCUIT**

Patent Number: JP8172162  
Publication date: 1996-07-02  
Inventor(s): MUROTA KAZUAKI;; KOMATSU KAZUHIRO;; TANAKA SHIGEKO  
Applicant(s): FUJITSU TEN LTD  
Requested Patent: ☐ JP8172162  
Application Number: JP19940314971 19941219  
Priority Number(s):  
IPC Classification: H01L27/04; H01L21/822; H01L21/82; H01L21/8222; H01L27/06; H03K17/00  
EC Classification:  
Equivalents: JP2838662B2

**Abstract**

**PURPOSE:** To easily form an input processing circuit, an output circuit and a power supply circuit without complicated wiring, by constituting the bulk layout of an input block, an output block, a power supply block and an element arrangement block, and containing various kinds of elements in the input block, the output block and the power supply block.

**CONSTITUTION:** In a semiconductor integrated circuit 10, an IC substrate is divided into an input block 11, an output block 12, a power supply block 13, an element arrangement block 14, etc. Each of the input block 11, the output block 12 and the power supply block 13 contains various kinds of elements capable of constituting circuits for realizing the function of each block. For example, the input block 11 contains a pad 15, ESD protective diodes D1 , D2 . and further a transistor Q1 and a resistor R3 which constitute a clamp circuit 20 for surge protection. Thereby the clamp circuit 20 for surge protection wherein it is necessary to drive a large current can be arranged in the vicinity of the pad 15.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172162

(43) 公開日 平成8年(1996)7月2日

(51) IntCl.<sup>6</sup>

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

21/82

H 0 1 L 27/04

H

21/82

D

審査請求 有 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-314971

(22) 出願日 平成6年(1994)12月19日

(71) 出願人 000237592

富士通株式会社

兵庫県神戸市兵庫区御所通1丁目2番28号

(72) 発明者 室田 和明

兵庫県神戸市兵庫区御所通1丁目2番28号

富士通株式会社内

(72) 発明者 小松 和弘

兵庫県神戸市兵庫区御所通1丁目2番28号

富士通株式会社内

(72) 発明者 田中 滋子

兵庫県神戸市兵庫区御所通1丁目2番28号

富士通株式会社内

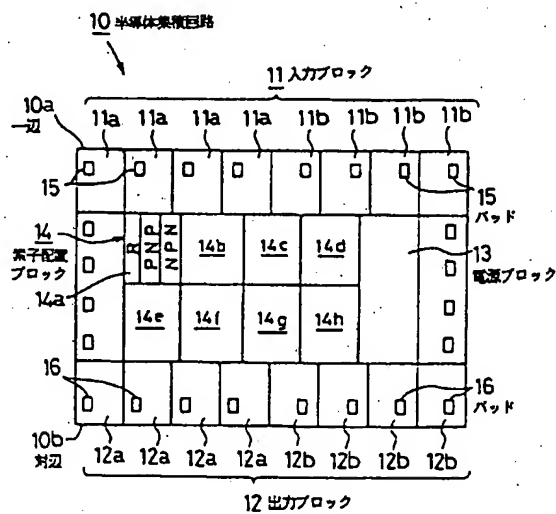
(74) 代理人 弁理士 井内 龍二

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 信頼性の高い各種入力処理用 IC、特に自動車用 IC として使用するのに適したバルクレイアウトを有する半導体集積回路を提供すること。

【構成】 パッド15及びESD保護素子を含むと共に、少なくともサージ保護用クランプ回路を構成することができる各種素子を含んだ入力ブロック11を一辺10aに沿って配置し、パッド16及びESD保護素子を含むと共に出力回路を構成するための各種素子を含んだ出力ブロック12を対辺10bに沿って配置し、入力ブロック11と出力ブロック12との間に、基準電圧回路を構成するための各種素子を含んだ電源ブロック13とその他の回路を構成するための抵抗、トランジスタ等の素子を含んだ素子配置ブロック14とが介装されたバルクレイアウトを有する半導体集積回路10。



## 【特許請求の範囲】

【請求項1】 パッドとESD (Electro Static Discharge) 保護素子とを含むと共に、少なくともサージ保護用のクランプ回路を構成することができる各種素子を含んだ入力ブロックと、パッドとESD保護素子とを含むと共に出力回路を構成するための各種素子を含んだ出力ブロックと、基準電圧回路を構成するための各種素子を含んだ電源ブロックと、その他の回路を構成するための抵抗、トランジスタ等の素子を含んだ素子配置ブロックとでバルクがレイアウトされていることを特徴とする半導体集積回路。

【請求項2】 前記入力ブロックがICチップの一辺に沿って配置され、前記出力ブロックがICチップの前記一辺の対辺に沿って配置されていることを特徴とする請求項1記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はトランジスタや抵抗などの素子が作り込まれた領域（バルク）を共通とし、コンタクトや配線を変更することで抵抗値や回路の接続を変え、ユーザーの希望する機能・特性を有する専用ICを作成することができる半導体集積回路に関し、主に自動車用ICとして用いられる半導体集積回路に関する。

## 【0002】

【従来の技術】 この種の半導体集積回路はトランジスタや抵抗等が作り込まれた領域であるバルクを共通とし、コンタクト及び配線を変えるのみで種々の機能を有するICを作成することができるようになっており、共通部分であるバルクの使用総数を増加させることによりICの開発・製造コストを低減させることが可能となっている。このため、可能な限り汎用性があり、また、限りあるチップサイズ中にできるかぎり多くの素子を内蔵させることができるように共通部分であるバルクがレイアウトされている。

【0003】 図4に従来の半導体集積回路におけるバルクレイアウトの一例を示す。半導体集積回路60の外周部にはパッド61が複数個配置され、半導体集積回路60の中央部には大電流NPNトランジスタが作り込まれた大電流NPNトランジスタ配置ブロック65及びPNPトランジスタが作り込まれたPNPトランジスタ配置ブロック64が配置され、大電流NPNトランジスタ配置ブロック65及びPNPトランジスタ配置ブロック64を間に挟んで小電流NPNトランジスタが作り込まれたNPNトランジスタ配置ブロック63が配置され、NPNトランジスタ配置ブロック63の両側には抵抗が作り込まれた抵抗配置ブロック62が配置されている。

【0004】 図4に示した従来の半導体集積回路60におけるバルクレイアウトの場合、大電流NPNトランジスタ配置ブロック65がチップの中央に一直列に配置されている。

## 【0005】

【発明が解決しようとする課題】 ところで自動車用ICの場合、イグニッションノイズ等の外部からのサージノイズに対応しなければならず、入力端子や電源端子等にはサージ保護用クランプ回路が配置され、一般の汎用ICとはその回路構成が異なる。従来の半導体集積回路の場合、図4に示したように、共通部分であるバルクのレイアウトは素子のマッチングや面積効率を重視したものとなっているので、従来の半導体集積回路を用いて自動車用ICを構成しようすると、素子の使用効率が悪化したり、配線が困難になるといった問題が生じる。

【0006】 自動車用ICに用いられるサージ保護用クランプ回路の場合、大電流を駆動する必要があるので、入力端子用のパッドの近くに配置することが望ましい。しかし、上記した従来の半導体集積回路でサージ保護回路を入力端子の近くに配置するのは無理である。また、入力端子数は多いもので総パッド数の半分程度にもなる場合があるので、図4に示したバルクレイアウトを有する従来の半導体集積回路でサージ保護用クランプ回路を構成しようすると、配線が困難になる。

【0007】 本発明は上記課題に鑑みなされたものであり、各種入力処理用IC、特に自動車用ICとして使用するのに適したバルクレイアウトを有する半導体集積回路を提供することを目的としている。

## 【0008】

【課題を解決するための手段】 上記目的を達成するために本発明に係る半導体集積回路（1）は、パッドとESD保護素子とを含むと共に、少なくともサージ保護用のクランプ回路を構成することができる各種素子を含んだ入力ブロックと、パッドとESD保護素子とを含むと共に出力回路を構成するための各種素子を含んだ出力ブロックと、基準電圧回路を構成するための各種素子を含んだ電源ブロックと、その他の回路を構成するための抵抗、トランジスタ等の素子を含んだ素子配置ブロックとでバルクがレイアウトされていることを特徴としている。

【0009】 また本発明に係る半導体集積回路（2）は、上記半導体集積回路（1）において、前記入力ブロックがICチップの一辺に沿って配置され、前記出力ブロックがICチップの前記一辺の対辺に沿って配置されていることを特徴としている。

## 【0010】

## 【作用】

半導体集積回路（1）  
上記半導体集積回路（1）にあつては、バルクレイアウトが入力ブロック、出力ブロック、電源ブロック及び素子配置ブロックで構成され、入力ブロック、出力ブロック及び電源ブロックには各ブロックの機能を実現するための各種素子が内蔵されているので、複雑な配線を少なくとも入力処理回路、出力回路、電源回路を容易に形成

3

することが可能である。特に、前記入力ブロックは、パッドとESD保護素子と少なくともサージ保護用のクランプ回路を構成することができる各種素子を含んでいるので、入力端子（パッド）の近くに大電流を駆動する必要があるサージ保護用のクランプ回路を容易に形成することが可能である。すなわち、上記構成に係る半導体集積回路（1）を用いれば、図4に示したような各素子ごとにバルクのレイアウトが構成されている従来の半導体集積回路を用いる場合に比べて、各種入力処理機能を有するIC、とりわけイグニッションノイズ等のサージノイズに対処しなければならない自動車用ICをはるかに容易に形成することが可能となる。

#### 【0011】半導体集積回路（2）

上記構成に係る半導体集積回路（2）にあっては、前記入力ブロックがICチップの一辺に沿って配置され、前記出力ブロックがICチップの前記一辺の対辺に沿って配置され、入力端子と出力端子とが分離されるので、入力・出力間の干渉が防止され、信頼性がさらに高まる。

#### 【0012】

【実施例】以下、本発明に係る半導体集積回路の実施例を図面に基づいて説明する。図1は実施例に係る半導体集積回路10のバルクレイアウトを模式的に示したブロック図である。

【0013】半導体集積回路10の一辺10aに沿って入力ブロック11aが4個、入力ブロック11bが4個の計8個の入力ブロックが配置され、半導体集積回路10の対辺10bに沿って出力ブロック12aが4個、出力ブロック12bが4個の計8個の出力ブロックが配置されている。各入力ブロック11a、11bはパッド15を含み、各出力ブロック12a、12bはパッド16を含んで構成されている。また、入力ブロック11a（あるいは出力ブロック12a）に内蔵されている素子のレイアウトと入力ブロック11b（あるいは出力ブロック12b）に内蔵されている素子のレイアウトとは左右対称になっている。

【0014】入力ブロック11bと出力ブロック12bとの間には電源ブロック13が配置され、入力ブロック11a、11bと出力ブロック12a、12bの間には素子配置ブロック14a～14d及び素子配置ブロック14e～14hが配置されている。各素子配置ブロック14a～14d及び14e～14hのそれぞれには、抵抗R、PNPトランジスタ及びNPNトランジスタなどの素子が素子のマッチングを考慮して内蔵・配置されている。

【0015】入力ブロック11は以下の各素子を含んでおり、下記の各素子をコンタクトと配線とにより接続することで、サージ保護用の各種クランプ回路を構成することができるようになっていく。すなわち入力ブロック11は、10mA～20mAのサージ電流に対応することができる大電流PNPトランジスタ及び大電流NPN

4

トランジスタを各1個、小電流トランジスタを数個、抵抗を数個、ESD保護ダイオードを2個含んでいる。

【0016】図2に上記各素子を用いて構成されたクランプ回路の一例を示す。パッド15は接続点Aに接続され、接続点Aと電源Vccとの間にはESD保護ダイオードD<sub>1</sub>が介装され、接続点AとグランドGNDとの間にはESD保護ダイオードD<sub>2</sub>が介装されている。また、接続点Aは抵抗R<sub>1</sub>を介して内部回路への出力端子となる接続点Bに接続されており、接続点Bと電源Vccとの間にはNPNトランジスタQ<sub>1</sub>が介装され、接続点BとグランドGNDとの間にはPNPトランジスタQ<sub>2</sub>が介装されている。また、接続点Bと電源Vccとの間には抵抗R<sub>3</sub>とNPNトランジスタQ<sub>3</sub>が介装され、接続点BとグランドGNDとの間には抵抗R<sub>4</sub>及びPNPトランジスタQ<sub>4</sub>が介装されている。NPNトランジスタQ<sub>3</sub>のエミッタはNPNトランジスタQ<sub>1</sub>のベースに接続され、PNPトランジスタQ<sub>4</sub>のエミッタにはPNPトランジスタQ<sub>2</sub>のベースが接続されている。電源VccとグランドGNDの間には抵抗R<sub>5</sub>及び抵抗R<sub>6</sub>が介装され、抵抗R<sub>5</sub>と抵抗R<sub>6</sub>との接続点V<sub>R</sub>はNPNトランジスタQ<sub>3</sub>のベースに接続されると共に、PNPトランジスタQ<sub>4</sub>のベースに接続されている。なお、NPNトランジスタQ<sub>1</sub>は大電流用であり、PNPトランジスタQ<sub>2</sub>も大電流用である。

【0017】上記の如く構成されたクランプ回路20の動作を簡単に説明する。接続点V<sub>R</sub>には、電源Vccが抵抗R<sub>5</sub>と抵抗R<sub>6</sub>とで分割された電圧であるV<sub>ref</sub>が印加されている。パッド15に正のサージ電圧が印加されると、PNPトランジスタQ<sub>4</sub>及びPNPトランジスタQ<sub>2</sub>がオンし、接続点Bの電位が(V<sub>ref</sub> + 2V<sub>BE</sub>)に固定される。一方、パッド15に負のサージ電圧が印加されると、NPNトランジスタQ<sub>3</sub>及びNPNトランジスタQ<sub>1</sub>がオンし、接続点Bの電位が(V<sub>ref</sub> - 2V<sub>BE</sub>)に固定される。このように図2に示したクランプ回路20にあっては、接続点Bから内部回路に印加される電圧が常に(V<sub>ref</sub> - 2V<sub>BE</sub>)～(V<sub>ref</sub> + 2V<sub>BE</sub>)の範囲となるように設定され、接続点Bの電位が電源Vccを超える電圧値となったり、グランドGND以下の電圧値となったりしないように電圧V<sub>ref</sub>の値が設定される。

【0018】次に、出力ブロック12の構成例を簡単に説明する。出力ブロック12は各種出力回路を構成するための素子として、10mA～20mAの電流を駆動する能力のある大電流NPNトランジスタを1個と、小電流トランジスタを数個と、抵抗を数個と、ESD保護ダイオード2個とを含んで構成されている。

【0019】上記各素子を用い、コンタクトと配線とにより構成された出力回路の一例を図3に示す。出力回路30は、例えば、自動車用ICにおいて各種センサからの信号を内部回路で処理した後、マイクロコンピュータ

5

等に出力する場合などに用いられるものである。

【0020】NPNトランジスタ $Q_8$ のベースには内部回路からの出力が入力されるようになっており、NPNトランジスタ $Q_8$ のコレクタは抵抗 $R_9$ を介して電源 $V_{cc}$ に接続され、エミッタは抵抗 $R_{10}$ を介してグランドGNDに接続されると共に、NPNトランジスタ $Q_9$ のベースに接続されている。NPNトランジスタ $Q_9$ のエミッタはグランドGNDに接続され、コレクタは抵抗 $R_{11}$ を介して電源 $V_{cc}$ に接続されると共に、パッド16に接続されている。NPNトランジスタ $Q_9$ のコレクタと電源 $V_{cc}$ との間には静電保護ダイオード $D_5$ が介装され、グランドGNDとの間には静電保護ダイオード $D_6$ が介装されている。なお、NPNトランジスタ $Q_9$ は大電流用である。

【0021】上記の如く構成された出力回路30の動作を簡単に説明する。NPNトランジスタ $Q_8$ のベースに内部回路よりハイレベルが入力されると、NPNトランジスタ $Q_8$ 及びNPNトランジスタ $Q_9$ がオンし、パッド16からグランドレベル（ローレベル）が出力される。一方、NPNトランジスタ $Q_8$ のベースにローレベルが入力されると、NPNトランジスタ $Q_8$ 及びNPNトランジスタ $Q_9$ がオフし、パッド16から $V_{cc}$ 電源（ハイレベル）が出力される。

【0022】電源ブロック13には、ベース・エミッタ間に形成されるダイオードのバンドギャップ電圧（バンドギャップリファレンス）を利用した高精度基準電圧回路を構成することができるように、数十個のトランジスタと、数十個の抵抗と、位相補正用コンデンサとが素子のマッチングを考慮して配置されており、コンタクトと配線とを変更することで出力電圧を自由に設定することができるようになっている。なお、電源ブロック13はグランド端子の近くに配置することが望ましい。

【0023】以上説明したように実施例に係る半導体集積回路10においては、IC基板が入力ブロック11、出力ブロック12、電源ブロック13及び素子配置ブロック14等に分割され、入力ブロック11、出力ブロック12及び電源ブロック13の各ブロックは各ブロックの機能を実現するための回路を構成することができる各種素子を内蔵しているので、各ブロック内で配線を行えばよく、各素子ごとにバルクがレイアウトされている従来の半導体集積回路に比べてはるかに容易に出力処理回路（サージ保護用クランプ回路等）、出力回路及び電源回路の各回路を形成することができる。

【0024】入力ブロック11は例えば、パッド15及びESD保護ダイオード $D_1$ 、 $D_2$ を含むと共に、少なくともサージ保護用のクランプ回路20を構成することができる各種素子（NPNトランジスタ $Q_1$ 、抵抗 $R_3$ 等）を含んでいるので、入力端子（パッド15）の近くにサージ保護用のクランプ回路を配置することができる。したがって、実施例に係る半導体集積回路10を用

6

いれば、従来の半導体集積回路を用いる場合に比べて、入力処理用IC、特にイグニッションノイズ等のサージノイズから内部回路を保護する必要のある自動車用ICを配線の困難性を伴うことなくはるかに容易に形成することができる。

【0025】また一般に、自動車用ICでは、各種センサからの微小な入力信号をアンプで増幅したり、コンパレータで波形整形して出力する場合が多いので、入力端子と出力端子とが隣接していると端子間の干渉により不具合が生じる可能性がある。しかし、半導体集積回路10におけるバルクレイアウトにおいては、入力ブロック11を半導体集積回路10の一辺10aに沿って配置し、出力ブロック12を半導体集積回路10の対辺10bに沿って配置し、入力端子（パッド15）と出力端子（パッド16）とを分離しているため、入出力間の干渉を防止することができ、信頼性を高めることができる。

【0026】

【発明の効果】以上詳述したように本発明に係る半導体集積回路（1）を用いれば、複雑な配線をしなくとも、入力処理回路、出力回路及び電源回路を簡単に形成することができる。また、前記入力ブロックはパッド及びESD保護素子を含むと共に、少なくともサージ保護用クランプ回路を構成することができる各種素子を含んでいるので、入力端子（パッド）の近くに大電流を駆動する必要があるサージ保護用クランプ回路を配置することができる。

【0027】また本発明に係る半導体集積回路（2）においては、前記入力ブロックがICチップの一辺に沿って配置され、前記出力ブロックがICチップの前記一辺の対辺に沿って配置され、入力端子と出力端子とが分離されているので、入出力間の干渉を防止することができる。

【0028】従って本発明に係る半導体集積回路（1）及び／又は半導体集積回路（2）を用いれば、信頼性の高い各種入力処理用IC、特に自動車用ICを簡単に実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体集積回路のバルクレイアウトを模式的に示したブロック図である。

【図2】実施例に係る半導体集積回路のバルクレイアウトを構成する入力ブロックの一構成例（クランプ回路）を示した回路図である。

【図3】実施例に係る半導体集積回路のバルクレイアウトを構成する出力ブロックの一構成例を示した回路図である。

【図4】従来の半導体集積回路におけるバルクレイアウトの一例を模式的に示したブロック図である。

【符号の説明】

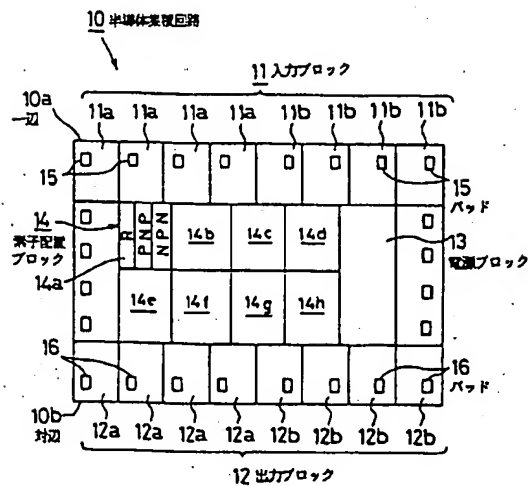
10 半導体集積回路

10a 一辺

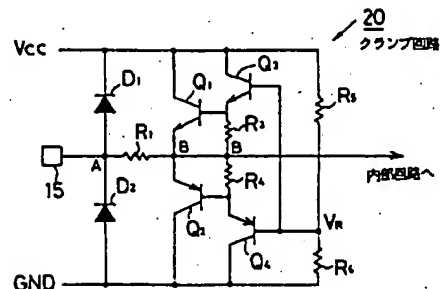
- 10b 対辺  
 11 入力ブロック  
 12 出力ブロック  
 13 電源ブロック  
 14 素子配置ブロック

- 15、16 パッド  
 20 クランプ回路  
 30 出力回路  
 $D_1$ 、 $D_2$  ESD保護ダイオード (ESD保護素子)

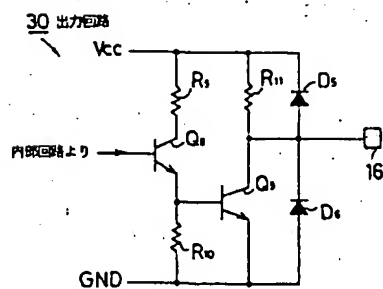
【図1】



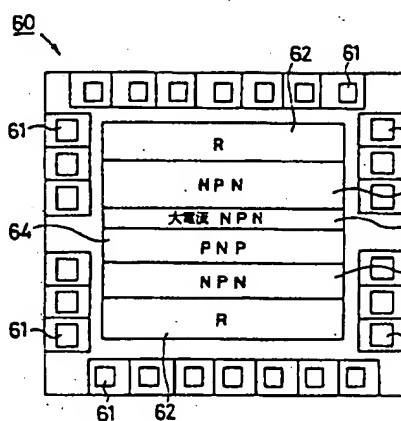
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8222

27/06

H 0 3 K 17/00

A 9184-5K

H 0 1 L 27/04

27/06

A

1 0 1 D